

中华人民共和国工业和信息化部

工业和信息化部人才交流中心 比利时微电子研究中心 IMEC

关于举办“高级堆叠封装集成高级培训班”的通知

各有关单位：

为贯彻落实《国家集成电路产业发展推进纲要》，推进工业和信息化部“软件和集成电路人才培养计划”的实施，培养一批掌握核心关键技术，处于世界前沿水平的中青年专家和技术骨干，推动我国集成电路领域共性、关键性核心技术的整体突破，工业和信息化部人才交流中心和比利时微电子研究中心 IMEC 定于 2016 年 3 月 17 日-19 日在无锡共同举办“高级堆叠封装集成高级培训班”，邀请国际著名封装专家、美国 Altera 公司封装技术研发中心主任 John Y. Xie 博士授课。

此次高级精选课程将提供有关先进封装和集成解决方案的广泛而深入的讨论。讨论范围从 3D 到 2.5D，然后从 2.5D 到 2.1D，并最终到 more than 2D 的范畴。本课程还将讨论产业生态系统的发展现状，行业中世界顶级领跑者的技术和产品开发方法和发展现状，同时也将讲解适用于中国制造商和中国终端市场的技术。

现将有关事宜通知如下：

一、主办单位

工业和信息化部人才交流中心

比利时微电子研究中心（IMEC）

二、协办单位

东南大学-无锡集成电路技术研究所

国家集成电路封测产业链技术创新战略联盟

江苏省集成电路产业技术创新战略联盟

江苏省半导体行业协会

中国半导体行业协会集成电路分会

三、参加对象

本课程可面向工业界（包括 IC 代工厂，封装和组装厂，以及半导体设备制造商）、科研机构 and 大学、VC 投资者和政府机构的企业高管、政府官员、技术或业务经理、各级工程师、研究员和教授。课程采用英文 PPT、中文授课。

四、培训安排

培训时间：2016 年 3 月 17 日-19 日（3 天）

3 月 16 日报到

培训地点：东南大学(无锡分校)

江苏省无锡市新区菱湖大道 99 号

日程安排： 3 月 16 日下午 15:00-17:00 报到

3 月 17 日上午 8:30 举行开班仪式

3 月 19 日下午 17:00 举行结业仪式

其余为上课时间：上午 9:00-12:00

下午 14:00-17:30

培训班结束后，将颁发工业和信息化部人才交流中心和比利时微电子研究中心（IMEC）共同证书，参加培训者可推荐参加国家“软件和集成电路人才培养计划”评选。

五、培训费用

本次课程培训费 3400 元/人（含授课费、场地费、资料费、培训期间午餐），学员交通、食宿等费用自理。请于 2016 年 3 月 15 日前将培训费汇至以下账户，并在汇款备注中注明款项信息（培训班名称+单位+人数）。

户 名：工业和信息化部人才交流中心

开户行：中国工商银行北京公主坟支行

帐 号：0200004609004626666

六、报名方式

请各单位收到通知后，积极选派人员参加。报名截止日期为 2016 年 3 月 15 日，采用以下方式报名：

（一）邮件报名。

填写报名回执表并发送电子版至国家 IC 人才培养平台邮箱（icplatform@miitec.cn），回执表文件名和邮件题目格式为：报名高级堆叠封装集成高级培训班+单位名称+人数。

（二）传真报名

填写报名回执表，打印电子版并传真至 010-68207863。

(三) 微信报名

关注微信公众号“国家 IC 人才培养平台”(微信号:ICPlatform),
并点击“在线报名”填写相关信息。

工业和信息化部人才交流中心:

联系人: 张萍丽、王喆、王浩

电 话: 010-68207879、68208717、68207883

传 真: 010-68207863

E-mail: icplatform@miitec.cn

东南大学-无锡集成电路技术研究所:

联系人: 沈姗姗

电 话: 0510-85383358

附件:

1. 报名回执表
2. 课程大纲
3. 专家简介

工业和信息化部人才交流中心

2016 年 1 月 27 日



附件 1:

(课程名称) 报名回执表

单位名称						
通讯地址						
参加培训人员						
姓名	拼音	部门	职务	电话	手机	Email
单位人才培养负责人						
姓名		部门	职务	电话	手机	Email
发票信息						
发票抬头						
发票内容及类型	内容统一为“培训费”，类型统一为普通发票					
多人报名是否合并到一张发票						

注 1: 通讯地址为可以送达快递的地址。

注 2: 姓名拼音用于制作证书, 请学员仔细填写, 格式要求为全拼、姓和名分开、首字母大写, 如张三三拼音为 Zhang Sansan。

请发送 Email 至 icplatform@miitec.cn 索取此表电子版

附件 2:

课程介绍

This class will discuss semiconductor industry faced Moore's law challenge today, the rising cost of silicon scaling, the system integration challenge and advanced memory need. It will provide the insides of 3DIC and advanced stacked die packaging and integration technologies. It will discuss a full suite of tiered advanced stacked die packaging integration technology varieties ranging from density, cost, configuration and form factors. It will include, e.g., 3D IC stacking techniques; 2.5D stacking solution using silicon interposer with TSV; 2.5D stacking with silicon bridge without TSV; 2.5D- stacking using organic interposer; 2.1D stacking using high or ultra-high density organic technology; 2.1D+ high density and cost effective stacking technology using wafer level fanout technology; 2.1D- panel level fanout low cost multi-die small form factor packaging; F2F (3D-) high density and low cost stacking solution; Glass interposer and its application potential, etc. The latest industry ecosystem development status and key player's technology innovations will also be discussed. Advanced co-design and co-architecture concept, SIPI considerations and EDA tool status will also be touched.

本课程将讨论当今半导体产业面临的摩尔定律的挑战、硅缩放的成本上升，系统集成挑战和高级的内存需求。它将提供 3D IC 及高级堆叠封装和集成技术的深度知识学习。它将讨论完整的分层高级堆叠封装集成技术的知识体系，范围涵盖密度，成本，结构和形状因数，包括有 3D 集成电路堆叠技术；采用硅中介层与 TSV 的 2.5D 堆叠解决方案；2.5D 堆叠与不使用 TSV 的硅桥；使用硅插技术的 2.5D-堆叠；使用高或超高密度的有机技术的 2.1D 堆叠；采用晶圆级扇出技术的 2.1D +高密度和高性价比的堆叠技术； 2.1D-板级扇出低成本的多晶片小外形封装； F2F (3D-) 高密度和低成本堆叠方案；玻璃中介层及其应用潜力等等。课程还将讨论到产业生态系统的发展现状和行业领跑者的技术创新，同样还将涉及高级协同设计与架构的概念，SIPI 注意事项和 EDA 工具发展现状。

课程目录

第一天

1. World semiconductor industry's technology and business trend

世界半导体行业的技术和商业趋势

- a) Moore's law challenge 摩尔定律的挑战
- b) Development and ROI 发展和投资回报率
- c) Packaging's historical opportunities 封装的历史机遇
- d) The IoT world 物联网世界
- e) Industry 4.0 工业 4.0

2. **Packaging technology fundamentals 封装技术基础**
 - a) Package options and configurations 封装选项与配置
 - b) Package technology selections 封装技术选择
 - c) Wafer bumping 晶圆凸块
3. **Flip chip substrate technologies 倒装芯片衬底技术**
 - a) Structures 结构
 - b) Fab process flow – step by step 晶圆厂工艺流程——逐步讲解
 - c) Key materials 关键材料
4. **Cu pillar flip chip packaging technologies 铜柱倒装芯片封装技术**
 - a) Cu pillar vs. Cu bump 铜柱 vs. 铜凸块
 - b) Configurations 配置
 - c) Benefit of Cu pillar packaging 铜柱封装的益处
 - d) Application 应用
5. **Packaging design considerations 封装设计注意事项**
 - a) Design for manufacturing 面向制造的设计
 - b) Design for reliability 可靠性设计
 - c) Design for test 可测性设计
 - d) Design for cost 面向成本的设计
 - e) Design for signal integrity 信号完整性设计
 - f) Co-design and co-development 协同设计和联合开发
6. **System integration challenge and need 系统集成挑战和需求**
 - a) Bandwidth 带宽
 - b) Power 功率
 - c) Form factor 形状因数
 - d) Cost 成本
 - e) Memory 存储
7. **3D stacked IC technologies 3D 堆叠 IC 技术**
 - a) Through silicon via (TSV) 硅穿孔
 - b) Silicon-silicon bonding 硅硅键合
 - c) Silicon-wafer bonding 硅晶片键合
 - d) Wafer-Wafer bonding 晶片-晶片键合
8. **2.5D stacking technologies – Silicon interposer based**
2.5D 堆叠技术——基于硅插技术
 - a) Silicon interposer 硅插技术
 - b) Basic configurations 基本配置
 - c) Key benefit and challenges 主要优势和挑战

Bonus for day 1: Good practice 1 - Innovation process

第一天 Bonus: 最佳实践（一）创新工艺

第二天

- 9. 2.5D integration: CoC-oS 2.5D 集成: CoC-oS**
 - a) CoC-oS Process flow CoC-oS 工艺流程
 - b) Advantages and key challenges 优势和主要挑战
- 10. 2.5D integration: Co-CoS 2.5D 集成: Co-CoS**
 - a) Co-CoS Process flow Co-CoS 工艺流程
 - b) Advantages and key challenges 优势和主要挑战
- 11. 2.5D integration: CoW-oS 2.5D 集成: CoW-oS**
 - a) CoW-oS Process flow CoW-oS 工艺流程
 - b) Advantages and key challenges 优势和主要挑战
- 12. 2.5D integration – summary 2.5D 集成——总结**
 - a) Pros and cons of various configurations 不同配置的利与弊
 - b) Technology roadmap 技术路线图
- 13. 3D memory stacking and integration technologies**

3D 存储器堆叠和集成技术

 - a) SRAM, DRAM and others 静态随机存储器、动态随机存取存储器及其他
 - b) Needs of advanced memory 高级存储器的需求
 - c) HBM 高位宽显存
 - d) HMC 混合存储立方体
 - e) Other memory stacking 其他的存储器堆叠
 - f) Applications of advanced memories 高级存储器的应用
- 14. TSV-Free more than 2D integration technologies**

TSV-Free more than 2D 集成技术

 - a) Why TSV-Free 为何无需 TSV
 - b) EMIB 嵌入式多裸片互连桥接
 - c) 2.5D-
 - d) 2.1D
 - e) Face-face die stacking Face-face 芯片堆叠
 - f) Wafer level fanout integration (2.1D+) 晶圆级扇出集成(2.1D+)
 - g) Panel level fanout integration (2.1D-) 板级扇出集成(2.1D-)
- 15. 2.5D stacking technologies: Silicon bridge based (EMIB)**

2.5D 堆叠技术: 基于硅桥(EMIB)

 - a) Silicon bridge 硅桥
 - b) Integration configuration and flow 集成配置和流程
 - c) Benefit of EMIB EMIB 的优势
- 16. 2.5D- stacking technologies – Organic interposer**

2.5D 堆叠技术——有机中介层

 - a) Organic interposer 有机中介层
 - b) Integration configuration and flow 集成配置和流程

- c) Technology analysis 技术分析

17. 2.1D stacking technologies – Ultra high density organic interconnect

2.1D 堆叠技术——超高密度有机互连

- a) Definition of 2.1D stacking 2.1D 堆叠的定义
- b) Ultra high density organic substrate 超高密度有机衬底
- c) 2.1D integration configurations 2.1D 集成配置
- d) Integration flows 集成流程
- e) Technology analysis 技术分析

18. 3D- low cost Face-to-Face stacking technologies

3D-低成本 Face-to-Face 堆叠技术

- a) F2F flip chip F2F 倒装芯片
- b) F2F Wire bonded BGA and lead-frame packages
F2F 引线键合 BGA 和引线框架封装

19. Wafer level fan-out technologies (2.1D+) 晶圆级扇出技术(2.1D+)

- a) Definition 定义
- b) Configurations 配置
 - i. Die first with RDL
 - ii. Die last with RDL
 - iii. Die last with Damascene
 - iv. Die first with Damascene

Bonus for day 2: Practice 2 - RACI process

第二天 Bonus:实践（二）RACI 工艺

第三天

20. Wafer level fan-out process and applications 晶圆级扇出工艺和应用

- a) Die first + RDL
- b) Die last + RDL
- c) Die last + Damascene
- d) Die first + Damascene
- e) Technology analysis 技术分析
- f) Applications 应用

21. Panel level fan-out technologies (2.1D-) 板级扇出技术(2.1D-)

- a) Definition 定义
- b) Configurations 配置
 - i. Die first
 - ii. Die middle
 - iii. Die last
- c) Process flows of various configurations 各类配置的工艺流程
- d) Technology analysis 技术分析
- e) Applications 应用

22. Hybrid SIP 混合 SIP

- a) Definition 定义
- b) Configurations 配置
- c) Technology analysis 技术分析

23. PoP and PIP with stacked die integrations 利用堆叠芯片集成的 PoP 和 PIP

- a) Configurations 配置
- b) Technology analysis 技术分析

24. Thermal management for SIP integration SIP 集成的热管理

- a) Packaging thermal management fundamentals
封装热管理的基础原理
- b) SIP's unique characteristics SIP 的特性

25. Vertical interconnect technology 垂直互连技术

- a) The definition of horizontal and vertical interconnect
水平互连和垂直互连的定义
- b) The importance and impact of vertical interconnect
垂直互连的重要性的影响
- c) Types of the vertical interconnect 垂直互连的类型
 - i. Bump and ball
 - ii. Wire and lead
 - iii. Via
 - iv. Pin
 - v. Pad

26. The advances of vertical interconnect 垂直互连的优势

- a) micro-bump 微凸块
- b) TSV
- c) Via
- d) Cu-Cu bonding Cu-Cu 键合

27. Some the most advanced substrate technologies 一些最高级衬底技术

- a) Coreless substrate 无芯衬底
- b) Optical interface on substrate 衬底上光接口
- c) Embedded traces 嵌入式轨迹
- d) Embedded IC devices 嵌入式 IC 器件
- e) Pad-less via
- f) Drill-less via

28. Glass interposer technologies 玻璃中介层技术

- a) Glass as interposer 玻璃用作中介层
- b) Glass as substrate core 玻璃用作衬底芯层
- c) Glass circuitry technology and applications 玻璃电路技术和应用

29. Ecosystem of the more than 2D arena More than 2D 范畴的生态系统

- a) The market and applications 市场和应用

- b) The supply chains 供应链
- c) Recent activities and status from the top players 行业领跑者新动态
 - i. IC Foundries IC 代工厂
 - ii. OSATs 测试提供商
 - iii. ODMs/Fabless companies 设计制造商/无晶圆厂公司

30. Stacked die packaging design considerations 堆叠封装设计注意事项

- a) Channel density and performance trade off 通道密度和性能权衡
- b) SIPI considerations SIPI 注意事项
- c) Power reductions 功率减小
- d) EDA tools EDA 工具

31. From co-design to co-development to co-architecture 从协同设计到联合开发到共同架构

- a) IC-PKG-PCB co-design IC-PKG-PCB 协同设计
- b) IC-PKG-PCB co-development IC-PKG-PCB 联合开发
- c) IC-PKG-System co-architecting IC-PKG-系统 联合架构

Bonus for day 3: Good practice 3 - Discipline of a cross functional project and decision process

第三天 Bonus: 最佳实践（三）跨功能项目和决策过程的规制

32. Summary about what we have learnt 总结

- a) Semiconductor 50 + 10 years 半导体 50 年历程及未来十年
- b) System solution challenges and technology roadmap 系统解决方案的挑战和技术路线图
- c) Advanced 2.XD stacked die integration and packaging technologies 高级 2.XD 堆叠芯片集成和封装技术
- d) World ecosystem development status 世界生态系统发展现状
- e) Our opportunities 我们的机遇

附件 3:

专家简介



Dr. John Yuanlin Xie

谢苑林 博士

Director, Packaging Technology Research and Development

封装技术研发中心主任

Altera Corp., now part of Intel

Altera 公司, 现为 Intel 的一部分

谢博士已在 Altera 公司工作 17 年, 是 Altera 封装技术研发团队的负责人。他的职责包括研发互连和封装技术, 开发和引进新产品, 实施 2.5D/3DIC 集成设计和制造, 开发战略供应链和战略客户接洽。谢博士任职于 Altera 公司的 17 年中, 他带领完成 Altera 的首例倒装芯片 BGA 试验和产品发布。他建立了 Altera 的首个功能齐全的封装设计工程团队。该团队在他的管理下, 成为一个世界级的团队。他首次成功将 IC-PKG 协同设计从概念成为现实。之后他还建立了 Altera 的首个跨太平洋全覆盖封装研发组织。Altera 公司总部位于加州圣何塞市, 自从 1984 年发明了世界上首个可重编程逻辑器件, Altera 一直致力于为客户提供业界领先的定制逻辑解决方案。目前 Altera 在 20 个国家拥有 3000 多名员工, 正为客户提供更为精妙的定制逻辑解决方案, 其中包括的 FPGA, SoCs, CPLDs 和电源管理产品。Altera 公司目前为英特尔公司的一部分。

加入 Altera 之前, 谢博士在 Prolinx Labs. (位于加州圣何塞) 担任了 5 年的技术开发经理。Prolinx Labs 引领高级感光绝缘技术和 MfVia 技术的研发。Prolinx Labs 发明了 Micro-filled Via (MfVia) 技术, Viper Ball Grid Array (ViperBGA) 衬底, 和便于 BGA 衬底设计的软件。Prolinx Labs 还开发了 Copper-Core Ball Grid Array (C2BGA), 这是一种耐热增强型 Plastic Ball Grid Array (PBGA), 用于制造多管脚 BGA 封装。在 Prolinx Labs, 谢博士研制了专有的 MfVia 导电油墨和高分辨率的感光绝缘体, 可实施于高密度衬底应用。他曾是制造工艺集成团队的负责人, 并带领技术转移团队进行向台湾代工厂的技术转移。

近年来, 正当全球都在努力推动超越摩尔定律, 谢博士富有远见地倡导层次化和多元化的晶片堆叠集成技术。他致力于发展高密度和成本节约型 3D 和 2.XD 晶片堆叠

基础技术解决方案，以克服短期，中期和长期的技术和成本壁垒以及满足广泛的带宽和系统集成要求。由此，他被公认为推动半导体产业路线图的领导者。

谢博士毕业于北京大学物理系，并获得中科院物理研究所的物理学博士学位，随后在加州大学伯克利分校的物理系和劳伦斯伯克利实验室获得博士后学位。他的研究兴趣涵盖使用 III-V 族半导体量子阱的全光开关器件和有非线性光学相互作用的表面科学。

自 2011 年起，谢博士是 MEPTEC 顾问委员会成员 (www.meptec.org)；CSTIC 封装和组装委员会成员；IEEE 会员、CPMT 会员，IMAPS 会员，GSA 会员，等等。他还担任 National Consul 主席，Chinese Institute of Engineers USA 主席 (www.cie-usa.org) 以及美国一所已有 98 年历史的中国工程协会主席，和 CIE 旧金山分会 (www.cie-sf.org) 的主席和董事长。

谢博士拥有 30 篇已发表专利，以及 50 余篇学术和技术出版物。

Worldwide Industrial leadership influences and presence (since 2012)

全球产业领袖影响力和业界知名度 (2012-)

2016

- Semicon China/CSTIC 2016, 3/13/2016-3/17/2016, Shanghai, China
中国上海，2016.3.13- 2016.3.17，2016 Semicon China/CSTIC
 - o Session keynote: 3/13/2016, TSV-Free 2.5D Integration
主题演讲：2016.3.13， 无需 TSV 的 2.5D 集成。
- ICP Japan 2016, 1/13/2016, Tokyo, Japan
日本东京，2016.1.13,2016 日本 ICP
 - o ICP1 Invited talk: Roadmap towards TSV-less 2.5D Integrations
ICP1 特邀报告：向 TSV-less 2.5D 集成发展的路线图

2015

- Semicon China/CSTIC 2015, 3/15/2015-3/19/2015, Shanghai, China
中国上海，2015.3.15-3.19， Semicon China/ CSTIC 2015
 - o Session keynote: 3/15/2015, Developing Cost Effective High Bandwidth System Solutions Using Heterogeneous 2.5D integration of Stacked Memory and FPGA
主题演讲：2015.3.15， 利用堆叠内存和 FPGA 的异构 2.5D 集成开发成本节约型高带宽系统解决方案。
 - o Session V-II chair: 3/16/2015, Packaging and Assembly
V-II chair 会议:2015.3.16， 封装和组装

- IEEE CPMT seminar, 2/26/2015, Santa Clara, CA;
IEEE CPMT 研讨会, 加州圣克拉拉, 2015.2.26
 - o Advanced Stacked Die Packaging Technology: More than 2D
高级晶片堆叠封装技术: More than 2D
- SITRI Wearable Industry Alliance Silicon Valley event: 1/15/2015, Foster City, CA
SITRI 可穿戴硅谷产业联盟活动: 2015.1.15, 加州福斯特市
 - o Event MC and panel session moderator
活动主持人和专题会议主持人

2014

- ATS 2014, Penang, Malaysia
马来西亚槟城, 2014ATS
 - o 11/17/2014: Panel Discussion: "The Dilemma of Monolithic versus Heterogeneous Integration- the performance, design and cost"
2014.11.17: 小组论坛讨论: "单片集成对比异构集成在性能、设计和成本上的困境"
 - o 11/18/2014: Tutorial: "FPGA 2.5D/3D Integration and Roadmap"
2014.11.18: 报告发言: "FPGA 2.5D/3D 集成和路线图"
- IEMT 2014, Johor, Malaysia
马来西亚柔佛, 2014IEMT
 - o 11/11/2014: Half day short course lecture: "3D Advanced Packaging"
2014.11.11: 半天短课程讲座: "3D 高级封装"
 - o 11/12/2014: Panel Discussion: "IoT: Role of packaging and industry trends"
2014.11.12: 小组论坛讨论: "IoT: 封装的作用及产业趋势"
 - o 11/13/2014: Keynote Address: "Innovation in Low Cost Packaging"
2014.11.13: 主题演讲: "低成本封装的创新"
- Session Chair, advanced package design consideration, MEPTEC 2014, 10/23/2014, Santa Clara
圣克拉拉, 2014.10.23, 2014MEPTEC 分会主席, 高级封装设计依据
- Expert lecturer: Huawei, 6/16-6/20/2014, Shenzhen, China
专家讲师: 中国深圳, 2014.6.16-6.20, 华为
- Keynote: CSTIC 2014/Semicon China, 3/16/2014, Shanghai, China
主题演讲: 中国上海, 2014.3.16, CSTIC 2014/Semicon China
- Invited talk: ICP/NEPCON Japan 2014, 1/17/2014, Tokyo, Japan
特邀报告: 日本东京, 2014.1.17, 2014 日本 ICP/NEPCON

2013

- Technical lecturer: ATS 2013, 12/4/2013, Penang, Malaysia
技术讲师: 马来西亚槟城, 2013.12.4, ATS 2013
- Keynote: High Density Organic Symposium, 11/17/2013, Georgia Tech, Atlanta, USA
主题演讲: 高密度有机研讨会, 2013.11.17, 美国亚特兰大 Georgia Tech
- Keynote: Semicon West, 7/10/2013, San Francisco, USA

- 主题演讲：美国旧金山，2013.7.10， Semicon West
- Expert lecturer: Huawei, 6/20-6/25/2013, Shenzhen, China
特邀报告：中国深圳，2013.6.20-6.25， 华为
 - Invited talk: Semicon Singapore 2013, 5/8/2013, Singapore, Singapore
 - 特邀报告：新加坡， 2013.5.8, Semicon Singapore 2013
 - Invited talk: CSTIC/Semicon China 2013, 3/18/2013, Shanghai, China
特邀报告：中国上海，2013.3.18, CSTIC /Semicon China 2013
 - Invited talk: ICP/NEPCON Japan 2013, 1/18/2013, Tokyo, Japan
特邀报告：日本东京，2013.1.18, 2013 日本 ICP/NEPCON

2012

- Banquet keynote: EMAP 2012, 12/15/2012, Hong Kong, China
宴会演讲：中国香港，2012.12.15,2012EMAP
- Technical lecturer: ATS 2012, 12/12/2012, Penang, Malaysia
技术讲师：马来西亚槟城，2012.12.12, 2012 ATS
- Invited talk: EDAPS 2012, 12/10/2012, Taipei, Taiwan
特邀报告：台湾台北，2012.12.10, 2012 EDAPS
- Invited talk: IMAPS 2012, 9/11/2012, San Diego, USA
特邀报告：美国圣地亚哥，2012.9.11, 2012 IMAPS
- Invited talk, Semicon West, 7/15/2012, San Francisco, USA
特邀报告：美国旧金山，2012.7.15, Semicon West